



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2003-0092375
Application Number

출 원 년 월 일 : 2003년 12월 17일
Date of Application : DEC 17, 2003

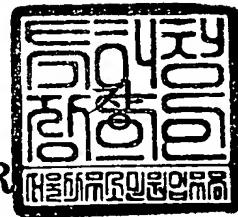
출 원 인 : 주식회사 하이닉스반도체
Applicant(s) : Hynix Semiconductor Inc.



2003 년 12 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.12.17
【발명의 명칭】	멀티 -포트 메모리 소자
【발명의 영문명칭】	MULTI-PORT MEMORY DEVICE
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	박병일
【성명의 영문표기】	PARK, Byung Il
【주민등록번호】	680924-1110414
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 아미리 산 136-1
【국적】	KR
【발명자】	
【성명의 국문표기】	신범주
【성명의 영문표기】	SHIN, Beom Ju
【주민등록번호】	750717-1812616
【우편번호】	467-140
【주소】	경기도 이천시 고당동 72-1 고당기술사 1406호
【국적】	KR
【우선권주장】	
【출원국명】	KR
【출원종류】	특허

【출원번호】 10-2003-0060250
【출원일자】 2003.08.29
【증명서류】 첨부
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인
특허법인 신성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 22 면 22,000 원
【우선권주장료】 1 건 26,000 원
【심사청구료】 13 항 525,000 원
【합계】 602,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 멀티-포트 메모리 소자에 관한 것으로, 레이아웃 효율성, 패키징 용이성, 확장성을 확보하면서 글로벌 데이터 버스의 라인 로딩을 줄일 수 있고, 내부적으로 넓은 밴드폭을 지원할 수 있는 멀티-포트 메모리 소자를 제공하는데 그 목적이 있다. 본 발명의 일 측면에 따르면, 코어 영역의 상부 및 하부에 각각 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 상기 코어 영역의 상부 및 하부 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트; 상기 코어 영역의 상부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 글로벌 데이터 버스; 상기 코어 영역의 하부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제2 글로벌 데이터 버스; 각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 및 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 상기 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단을 구비하는 멀티-포트 메모리 소자가 제공된다.

【대표도】

도 7

【색인어】

멀티-포트 메모리, 직렬 입/출력 인터페이스, 데이터 버스, 버스 연결부

【명세서】

【발명의 명칭】

멀티-포트 메모리 소자{MULTI-PORT MEMORY DEVICE}

【도면의 간단한 설명】

도 1은 일반적인 DRAM의 구조에 따른 멀티-포트 메모리 소자(8뱅크)의 플로어 플랜을 나타낸 도면.

도 2는 코어 영역의 일측에만 포트를 배치한 멀티-포트 메모리 소자(8뱅크)의 플로어 플랜을 나타낸 도면.

도 3은 코어 영역의 양측에 포트를 배치한 멀티-포트 메모리 소자(8 뱅크)의 플로어 플랜을 나타낸 도면.

도 4는 본 발명의 일 실시예에 따른 멀티-포트 메모리 소자(8 뱅크)의 플로어 플랜을 나타낸 도면.

도 5는 상기 도 4의 멀티-포트 메모리 소자를 16 뱅크로 확장한 경우의 플로어 플랜을 나타낸 도면.

도 6은 본 발명의 다른 실시예에 따른 멀티-포트 메모리 소자의 플로어 플랜을 나타낸 도면.

도 7은 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 아키텍처를 나타낸 도면.

도 8은 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 커럼 구성 단위인 세그먼트와 트랜스퍼 버스(TB)의 관계를 설명하기 위한 도면.

도 9a는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 노말 리드 경로를 나타낸 도면.

도 9b는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 노말 라이트 경로를 나타낸 도면.

도 10a는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 크로스 리드 경로를 나타낸 도면.

도 10b는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 크로스 라이트 경로를 나타낸 도면

* 도면의 주요 부분에 대한 부호의 설명

GIO_UL, GIO.UR, GIO_DL, GIO_DR : 글로벌 데이터 버스

TB : 트랜스퍼 버스

TG : 트랜스퍼 버스 연결부

TL : 버스 연결부

TR : 데이터 전달부

PR_U, PR_D : 글로벌 데이터 버스 연결부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<20> 본 발명은 반도체 메모리 설계 기술에 관한 것으로, 특히 멀티-포트 메모리 소자에 관한 것이다.

<21> RAM을 비롯한 대부분의 메모리 소자는 하나의 포트 - 하나의 포트에 다수의 입/출력핀 세트가 존재함 - 를 구비한다. 즉, 칩셋과의 데이터 교환을 위한 하나의 포트만을 구비하고 있다. 그러나, 최근에는 칩셋과 메모리의 기능 구분이 모호해지고 있으며, 칩셋과 메모리의 통합이 고려되고 있다. 이러한 추세에 비추어 주변의 그래픽 디바이스, CPU 등과 직접 데이터를 교환할 수 있는 멀티-포트 메모리 소자가 요구되고 있다. 그런데, 이와 같은 멀티-포트 메모리 소자를 구현하기 위해서는 다수의 포트 중 어느 포트에서도 모든 메모리 셀에 대한 액세스가 가능해야 한다.

<22> 인터페이스(Interface)는 본래 두개의 구성요소, 기능단위가 갖는 경계·접촉면 또는 공유하는 영역이란 의미를 가진다. 인터페이스는 시스템·장치에 있어서는 서로 다른 기능을 갖는 기기간의 상호연결을 의미하여, 데이터전송에 있어서는 두개의 시스템 또는 장기간의 물리적 접속조건, 연결부분품 또는 서브시스템의 물리적 표면·간격 등 기계적 조건, 정합신호레벨·임피던스·파워레벨 등의 전기적 조건, 두개의 장치·시스템 상호접속에 관한 회로의 형식과 신호의 형식 등에 관한 규격을 포함한다.

<23> 한편, 인터페이스에는 입/출력 인터페이스, 맨머신 인터페이스, 시스템콜 인터페이스, 통신프로토콜 등 여러가지가 있으나, 이하에서는 입/출력 인터페이스만을 고려하기로 한다.

<24> 입/출력 인터페이스는 서로 다른 기능단위를 신호선으로 연결하여 통신을 처리할 때 그 송/수신 정보가 정확히 상대에게 전달 되도록 하기 위한 전기적, 기계적 취급 방법이며, 이 신호선을 통합하여 버스(bus)라고 한다. 버스에는 데이터 버스, 제어 버스, 그라운드 버스 등이 있으며, 버스의 라인수는 인터페이스에 따라 다르므로 일정 하지는 않다.

<25> 병렬 입/출력 인터페이스의 경우, 여러 개의 라인을 통해 동시에 여러 비트의 데이터를 보낼 수 있어 확실히 효율(속도)이 좋은 반면, 라인수가 많아지므로 거리가 길어지면 전송 코



스트가 높아지게 된다. 이러한 이유로 병렬 입/출력 인터페이스는 빠른 속도를 요하는 짧은 거리 전송에 주로 이용되고 있다.

<26> 직렬 입/출력 인터페이스(Serial I/O Interface)의 경우, 하나의 라인을 통해 데이터를 주고 받게 된다. 따라서, 병렬 입/출력 인터페이스에 비해서는 속도 상에서 불리한 측면이 있는 반면, 그 하드웨어 측면 및 제어 측면에서 보다 단순하다는 장점이 있다. 그러나, 직렬전송 방식이 병렬전송 방식 보다 느리다는 것이 항상 옳은 얘기는 아니다.

<27> 컴퓨터 내부에는 비트 전송이 병렬로 이루어지는 많은 디바이스가 있다. 보조기억장치로서 널리 사용되고 있는 RAM(Random Access Memory) 역시 병렬 입/출력 인터페이스를 사용하고 있다. 즉, RAM은 다수의 입/출력핀(DQ)을 통해 외부와 데이터를 병렬적으로 교환한다.

<28> 한편, 전술한 바와 같은 병렬 입/출력 인터페이스의 단점을 고려하여 기존의 병렬 입/출력 인터페이스 디바이스를 직렬 입/출력 인터페이스로 전환하려는 노력이 계속되고 있으며, 또한 다른 직렬 입/출력 인터페이스 디바이스와의 호환성 확장 등을 고려하여 RAM의 인터페이스 또한 직렬 입/출력 인터페이스로의 전환이 요구되고 있다. 뿐만 아니라, 전술한 멀티 포트 메모리 소자의 경우, 포트가 다수이기 때문에 병렬 입/출력 인터페이스를 사용하게 되면, 패드와 핀의 수가 포트의 수에 비례하여 증가하기 때문에 패키징에 어려움이 따를 수 밖에 없다. 따라서, 멀티 포트 메모리 소자에서는 직렬 입/출력 인터페이스를 채용하는 것이 유리하다.

<29> 도 1은 일반적인 DRAM의 구조에 따른 멀티-포트 메모리 소자(8뱅크)의 플로어 플랜(floor plan)을 나타낸 도면이다.

<30> 도 1을 참조하면, 도시된 멀티-포트 메모리 소자는 코어 영역(10)을 상/하부에 양분하여 배치하고, 중심부에 하나의 글로벌 데이터 버스(GIO) 및 다수의 포트(14)를 배치하는 방식을

사용하고 있다. 컨트롤 블럭(12) 역시 코어 영역(10) 사이의 중앙에 배치되며, 양분된 코어 영역(10)에는 각각 4개의 뱅크(bank0, bank2, bank4, bank6 및 bank1, bank3, bank5, bank7)가 로우 방향으로 배치된다.

<31> 이러한 아키텍쳐를 사용하는 경우, 상/하부의 뱅크와 글로벌 데이터 버스(GIO) 간의 배선(도시되지 않음) 및 다수의 포트 때문에 뱅크와 뱅크 사이에 블랭크 영역(blank area)이 존재하여 레이아웃 효율이 떨어진다.

<32> 도 2는 코어 영역의 일측에만 포트를 배치한 멀티-포트 메모리 소자(8뱅크)의 플로어 팬을 나타낸 도면이다.

<33> 도 2를 참조하면, 도시된 멀티-포트 메모리 소자는 코어 영역(20)을 분할하지 않은 상태에서 8개의 뱅크(bank0~bank7)를 로우 방향으로 배치하고, 코어 영역(20)의 하단부(또는 상단부)에 하나의 글로벌 데이터 버스(GIO) 및 다수의 포트(24)를 배치하는 방식을 사용하고 있다. 컨트롤 블럭(22)은 코어 영역(20) 하단부의 중앙에 배치된다.

<34> 이러한 아키텍쳐를 사용하는 경우, 상기 도 1에 개시된 아키텍쳐의 문제점인 블랭크 영역이 줄어드는 효과가 있으나, 다이(die)의 형태가 세로로 길쭉한 모양이 되고 포트 및 글로벌 데이터 버스(GIO)가 한 쪽에 치우치기 때문에 패키징의 용이성이 떨어지고 확장성(집적도, 뱅크 수의 증가)이 떨어진다.

<35> 도 3은 코어 영역의 양측에 포트를 배치한 멀티-포트 메모리 소자(8 뱅크)의 플로어 팬을 나타낸 도면이다.

<36> 도 3을 참조하면, 도시된 멀티-포트 메모리 소자는 코어 영역(30)은 분리되지 않았으나, 뱅크(bank0~bank7)의 배치는 상기 도 1에 도시된 바와 유사하며, 다수의 포트(34)를 코어 영

역(30)의 상단부 및 하단부에 각각 배치하는 방식을 사용하고 있다. 글로벌 데이터 버스(GIO)는 코어 영역(30)의 가장자리를 따라 3면에 걸쳐 배치되며, 컨트롤 블럭(32)은 코어 영역(30)의 일측면에 배치된다.

<37> 이러한 아키텍쳐를 사용하는 경우, 상기 도 1 및 도 2에 개시된 아키텍쳐의 문제점을 어느 정도 극복할 수 있으나, 글로벌 데이터 버스(GIO)의 라인 길이가 늘어나게 되어 뱅크(bank0 ~bank7)와 포트(34)에서 보이는 글로벌 데이터 버스(GIO)의 로딩을 증가시키는 문제점이 있다

<38> 전술한 문제점들은 뱅크의 수 및 글로벌 데이터 버스(GIO)의 라인수(밴드폭과 밀접한 관계가 있음)가 증가할수록 더욱 심화된다.

【발명이 이루고자 하는 기술적 과제】

<39> 본 발명은 상기와 같은 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 레이아웃 효율성, 패키징 용이성, 확장성을 확보하면서 글로벌 데이터 버스의 라인 로딩을 줄일 수 있는 멀티-포트 메모리 소자를 제공하는데 그 목적이 있다.

<40> 또한, 본 발명은 내부적으로 넓은 밴드폭을 지원할 수 있는 멀티-포트 메모리 소자를 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<41> 상기의 기술적 과제를 달성하기 위한 본 발명의 일 측면에 따르면, 코어 영역의 상부 및 하부에 각각 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 상기 코어 영역의 상부 및 하부 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포

트; 상기 코어 영역의 상부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 글로벌 데이터 버스; 상기 코어 영역의 하부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제2 글로벌 데이터 버스; 각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 및 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 상기 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단을 구비하는 멀티-포트 메모리 소자가 제공된다.

<42> 또한, 본 발명의 다른 측면에 따르면, 각각 다수의 메모리 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 각 사분면의 가장자리에 배치되어, 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트; 각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스; 로우 방향으로 인접한 두 글로벌 데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결수단; 각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 및 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 상기 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단을 구비하는 멀티-포트 메모리 소자가 제공된다.

<43> 또한, 본 발명의 또 다른 측면에 따르면, 각각 다수의 메모리 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크; 1, 3사분면과 2, 4사분면 사이에 코어 영역을 양분하도록 배치되어 인가된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자

를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재수단; 각 사분면의 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트; 각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스; 로우 방향으로 인접한 두 글로벌 데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결수단; 각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단; 각 뱅크와 해당 뱅크가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 각 로컬 데이터 버스와 해당 글로벌 데이터 버스 사이의 데이터 교환을 수행하기 위한 다수의 버스 연결수단; 및 각 포트와 그 포트가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 해당 포트와 글로벌 데이터 버스 사이의 데이터 송수신을 수행하기 위한 다수의 데이터 전달수단을 구비하는 멀티-포트 메모리 소자가 제공된다.

<44> 이하, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 보다 용이하게 실시할 수 있도록 하기 위하여 본 발명의 바람직한 실시예를 소개하기로 한다.

<45> 도 4는 본 발명의 일 실시예에 따른 멀티-포트 메모리 소자(8 뱅크)의 플로어 플랜을 나타낸 도면이다.

<46> 도 4를 참조하면, 본 실시예에 따른 멀티-포트 메모리 소자는, 코어 영역(40)의 상부 및 하부에 각각 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크(bank0, bank2, bank4, bank6 및 bank1, bank3, bank5, bank7)와, 코어 영역(40)의 상부 및 하부 가장자리에 배치되어 각각 다른 타겟 디바이스(도시되지 않음)와 독립적인 통신을 수행하기 위한 다수의 포트(44)와, 코

어 영역(40)의 상부에 배치된 포트(44)와 뱅크(bank0, bank2, bank4, bank6) 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 글로벌 데이터 버스(GIO_U)와, 코어 영역(40)의 하부에 배치된 포트(44)와 뱅크(bank1, bank3, bank5, bank7) 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제2 글로벌 데이터 버스(GIO_D)와, 각 뱅크(bank0 ~ bank7)의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스(TB)와, 컬럼 방향으로 인접한 두 뱅크(예컨대, bank0와 bank1) 사이에 배치되어 두 뱅크 각각의 로컬 데이터 버스(TB)를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결부(TG)를 구비한다.

<47> 한편, 필요한 경우 컨트롤 블럭(42)을 더 배치할 수 있으며, 도면에서는 컨트롤 블럭(42)을 코어 영역(40)의 일 측면 가장자리에 배치하는 경우를 예시하고 있으나, 컨트롤 블럭(42)은 코어 영역(40)의 주변 어디라도 배치할 수 있다.

<48> 상기와 같이 구성된 본 실시예의 멀티-포트 메모리 소자는 상기 도 3에 도시된 멀티-포트 메모리 소자와 포트(44) 및 뱅크(bank0 ~ bank7)의 배치가 유사하다. 그러나, 본 실시예의 멀티-포트 메모리 소자는 글로벌 데이터 버스(GIO_U, GIO_D)가 2개로 분리되어 있기 때문에 상기 도 3에 도시된 멀티-포트 메모리 소자에 비해 글로벌 데이터 버스의 로딩을 크게 줄일 수 있다. 또한, 포트(44)가 상기 도 2에 도시된 바와 같이 한쪽으로 몰리지 않고 외곽으로 분산 배치되기 때문에 패키징에 유리하고 확장성이 우수하다.

<49> 한편, 본 실시예의 멀티-포트 메모리 소자는 어느 포트(44)에서도 모든 메모



리 셀에 액세스가 가능하다. 예컨대, 코어 영역의 상부 가장자리에 배치된 포트(44)와 뱅크 bank0간의 액세스는 제1 글로벌 데이터 버스(GI0_U)와 해당 뱅크(bank0)의 로컬 데이터 버스(TB)를 매개로 이루어진다. 또한, 코어 영역의 상부 가장자리에 배치된 포트(44)와 뱅크 bank1간의 액세스는 해당 뱅크(bank1)의 로컬 데이터 버스(TB)와 그에 대응하는 로컬 데이터 버스 연결부(TG), 그리고 해당 뱅크(bank1)와 컬럼 방향으로 인접한 뱅크(bank0) 및 제1 글로벌 데이터 버스(GI0_U)를 매개로 이루어진다.

<50> 다음으로, 전술한 본 실시예의 멀티-포트 메모리 소자의 뱅크의 수가 증가하는 경우를 가정하면 도 5와 같은 구조를 생각할 수 있다.

<51> 도 5는 상기 도 4의 멀티-포트 메모리 소자를 16 뱅크로 확장한 경우의 플로어 플랜을 나타낸 도면이다.

<52> 도 5를 참조하면, 도시된 멀티-포트 메모리 소자는 기본적으로 상기 도 4의 멀티-포트 메모리 소자와 유사하며, 다만 8 뱅크에서 16 뱅크로 확장됨에 따라 컨트롤 블럭(52)을 중심으로 뱅크(bank0, bank2, bank4, bank6 및 bank1, bank3, bank5, bank7)가 좌우 대칭을 이루도록 배치하였다.

<53> 그러나, 이 경우 상기 도 4에 도시된 멀티-포트 메모리 소자에 비해 단위 글로벌 데이터 버스(GI0_U, GI0_D)의 길이가 2배 정도 길어지기 때문에 라인 로딩 문제가 야기될 수 있다. 미 설명 도면 부호 '54'는 포트를 나타낸 것이다.

<54> 도 6은 본 발명의 다른 실시예에 따른 멀티-포트 메모리 소자의 플로어 플랜을 나타낸 도면이다.

<55> 도 6을 참조하면, 본 실시예에 따른 멀티-포트 메모리 소자는, 상기 도 5에 개시된 멀티-포트 메모리 소자와 비교하여, 컨트롤 블럭(62)를 중심으로 대칭적으로 추가 배치된 뱅크(bank8~bank15)에 의해 확장된 상위 글로벌 데이터 버스 및 하위 글로벌 데이터 버스를 각각 2개의 글로벌 데이터 버스를 분리하고, 분리된 글로벌 데이터 버스를 선택적으로 연결하기 위하여 제1 및 제2 글로벌 데이터 버스 연결부(PR_U, PR_D)를 더 배치하였다.

<56> 즉, 본 실시예에 따른 멀티-포트 메모리 소자는 총 4개의 단위 글로벌 데이터 버스(GIO_UL, GIO_UR, GIO_DL, GIO_DR)를 구비하며, 컨트롤 블럭(62)을 별도로 두어야 하는 경우라면, 제어의 효율성을 위하여 컨트롤 블럭(62)을 가장자리가 아닌 중심부에 배치하는 것이 바람직하다.

<57> 따라서, 본 실시예에 따른 멀티-포트 메모리 소자 역시 글로벌 데이터 버스의 로딩을 크게 줄일 수 있으며, 패키징 및 확장성을 확보할 수 있다.

<58> 도 7은 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 아키텍쳐를 나타낸 도면이다.

<59> 도 7을 참조하면, 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM은, 각각 다수의 메모리 셀과 로우 디코더(RDEC)를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향(도면에서는 좌우 방향)으로 배치된 다수의 뱅크(bank0~bank15)와, 1, 3사분면과 2, 4사분면 사이에 코어 영역을 양분하도록 배치되어 인가된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성요소들의 동작을 중재하기 위한 중재부(100)와, 각 사분면의 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트(port0~port7)와, 각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스(GIO_UL, GIO_UR, GIO_DL, GIO_DR)와, 로우 방향으로 인접한 두

글로벌 데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결부(PR_U, PR_D)와, 각 뱅크의 컬럼 방향(도면에서는 상하 방향)으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 트랜스퍼 버스(TB)와, 컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 트랜스퍼 버스(TB)를 선택적으로 연결하기 위한 다수의 트랜스퍼 버스 연결부(TG)와, 각 뱅크와 해당 뱅크가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 각 트랜스퍼 버스(TB)와 해당 글로벌 데이터 버스 사이의 데이터 교환을 수행하기 위한 다수의 버스 연결부(TL)와, 각 포트와 그 포트가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 해당 포트와 글로벌 데이터 버스 사이의 데이터 송수신을 수행하기 위한 다수의 데이터 전달부(TR)를 구비한다.

<60> 이하, 상기와 같은 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 세부 구성을 살펴본다.

<61> 16개의 뱅크(bank0~bank15) 각각은 16M(8k 로우 × 2k 컬럼)의 DRAM 셀과 로우 디코더(RDEC)를 포함하며, 각 뱅크 내부에는 통상의 DRAM 코어 영역에서 필수적인 비트라인 감지증폭기, 이퀄라이저 등의 코어 회로를 구비한다. 뱅크(bank0~bank15)는 코어 영역을 4분할하고 있는 각 사분면에 4개씩 로우 방향으로 배치된다. 구체적으로, 코어 영역의 1사분면(좌측위)에는 뱅크0, 뱅크2, 뱅크4, 뱅크6가, 2사분면(우측위)에는 뱅크8, 뱅크10, 뱅크12, 뱅크14가, 3사분면(좌측아래)에는 뱅크1, 뱅크3, 뱅크5, 뱅크7이, 4사분면(우측아래)에는 뱅크9, 뱅크11, 뱅크13, 뱅크15가 각각 배치된다. 한편, 로우 디코더(RDEC)는 각 뱅크의 일측에 인접 뱅크의 로우 디코더(RDEC)와 짹을 이루도록 배치하는 것이 바람직하다. 그리고, 하나의 페이지(컬럼)는 4개의 세그먼트(각 세그먼트는 512 개의 셀로 이루어짐)로 구분된다.

<62> 또한, 중재부(100)는 패킷 형태로 전송된 커맨드, 어드레스 등을 이용하여 내부 활성화 커맨드 신호(ACT), 내부 비활성화 커맨드 신호(PCG), 내부 리드 커맨드 신호(RD), 내부 라이트 커맨드 신호(WD) 등의 내부 커맨드 신호와, 활성화 어레이 어드레스(AAA), 비활성화 어레이 어드레스(PAA), 리드 어레이 어드레스(RAA), 라이트 어레이 어드레스(WAA), 로우 어드레스(RA), 리드 세그먼트 어드레스(RSA), 라이트 세그먼트 어드레스(WSA) 등의 내부 어드레스 신호와, 트랜스퍼 케이트 제어신호(TGC), 파이프 레지스터 플래그 신호(PRFG), 파이프 레지스터 데이터 구동신호(DP), DRAM 코어 테스트 모드 플래그 신호(DTM) 등의 제어신호를 생성하며, 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하는 컨트롤 블럭이다.

<63> 또한, 포트(port0~port7)는 각 사분면의 다이(die) 가장자리 부분(해당 사분면의 모든 뱅크가 공유하는 장축면 부분)에 각각 두개씩 배치된다. 구체적으로, 1사분면에는 port0, port2가, 2사분면에는 port4, port6이, 3사분면에는 port1, port3이, 4사분면에는 port5, port7이 각각 배치된다. 각 포트는 직렬 I/O 인터페이스를 지원하며, 각각 다른 타겟 디바이스(예컨대, 칩셋, 그래픽 칩 등)와 독립적인 통신을 수행한다. 한편, 포트(port0~port7)가 직렬 입/출력 인터페이스를 지원하도록 하는 경우, 각 포트(port0~port7)는 데이터, 어드레스, 커맨드 등에 대응하는 다수의 패드와, 패드에 전달된 송/수신 신호를 버퍼링하기 위한 패드 버퍼(리드 버퍼, 라이트 버퍼)와, 수신된 데이터를 디코딩하기 위한 디코더와, 송신할 데이터를 인코딩하기 위한 인코더와, 수신된 직렬 데이터를 병렬 데이터로 변환하고 송신할 병렬 데이터를 직렬 데이터로 변환하기 위한 데이터 변환기 등을 구비한다.

<64> 또한, 1사분면의 뱅크와 포트 사이에는 제1 글로벌 데이터 버스(GIO_UL)가, 2사분면에는 제2 글로벌 데이터 버스(GIO_UR)가, 3사분면에는 제3 글로벌 데이터 버스(GIO_DL)가, 4사분면에는 제4 글로벌 데이터 버스(GIO_DR)가 배치된다. 제1 내지 제4 글로벌 데이터 버스(GIO_UL,

GIO.UR, GIO_DL, GIO_DR)는 각각 해당 사분면의 뱅크, 포트 및 글로벌 데이터 버스 연결부 (PR_U, PR_D)와 접속되는 양방향 데이터 버스(512 비트)이다.

<65> 한편, 제1 글로벌 데이터 버스(GIO_UL)와 제2 글로벌 데이터 버스(GIO_UR)는 제1 글로벌 데이터 버스 연결부(PR_U)를 통해 연결될 수 있으며, 제3 글로벌 데이터 버스(GIO_DL)와 제4 글로벌 데이터 버스(GIO_DR)는 제2 글로벌 데이터 버스 연결부(PR_D)를 통해 연결될 수 있다. 제1 및 제2 글로벌 데이터 버스 연결부(PR_U, PR_D)는 글로벌 데이터 버스의 라인수(512 개)에 대응하는 양방향 파이프 레지스터를 구비한다.

<66> 또한, 트랜스퍼 버스(TB)는 각 뱅크의 비트라인 감지증폭기와 해당 뱅크에 대응하는 버스 연결부(TL)를 연결하는 로컬 데이터 버스이다. 트랜스퍼 버스(TB)의 라인수는 하나의 세그먼트에 해당하는 셀의 수(예컨대, 512 개)와 동일하며, 차동 버스로 구현된다.

<67> 또한, 트랜스퍼 버스 연결부(TB)는 트랜스퍼 버스(TB)의 라인수 만큼의 모드 트랜지스터로 구현할 수 있다. 트랜스퍼 버스(TB)가 차동 버스이므로, 하나의 트랜스퍼 버스 연결부(TB)는 총 512쌍의 모스 트랜지스터로 구현할 수 있다.

<68> 또한, 버스 연결부(TL)는 512개의 트랜스퍼 래치가 1세트이고 총 16세트가 구비된다. 각 트랜스퍼 래치는 트랜스퍼 버스(TB)에 실린 리드 데이터를 감지하여 래치하기 위한 리드 감지 증폭기 및 래치된 데이터를 해당 뱅크가 속한 사분면의 글로벌 데이터 버스로 드라이빙하기 위한 리드 드라이버와, 글로벌 데이터 버스에 실린 라이트 데이터를 감지하여 래치하기 위한 라이트 래치와, 트랜스퍼 버스(TB)로 라이트 데이터를 드라이빙하기 위한 라이트 드라이버를 구비한다.

<69> 또한, 데이터 전달부(TR)는 그에 대응하는 포트에 인가된 라이트 데이터를 글로벌 데이터 버스로 전달하기 위한 송신기(Tx)와 글로벌 데이터 버스로부터 인가된 리드 데이터를 수신하여 해당 포트로 전달하기 위한 수신기(Rx)를 구비한다.

<70> 이외에도 도시되지는 않았으나, 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM은, 다이의 각 모서리 부분에 배치되며, 외부 전압을 인가 받아 내부 전압을 생성하기 위한 전압 생성기, 1사분면 및 2사분면에 대응하는 포트 사이 그리고 3사분면 및 4사분면에 대응하는 포트 사이에 배치된 테스트 로직, 다이의 가장자리에 배치된 클럭 패드를 비롯한 각종 패드 등을 더 구비한다.

<71> 또한, 각 사분면에는 중재부(100)로부터 뱅크에 이르는 커맨드 라인(ACT, PCG, RD, WD)과, 중재부(100)로부터 뱅크에 이르는 어드레스 라인(AAA<0:1>, PAA<0:1>, RAA<0:1>, WAA<0:1>, RA<0:12>, RSA<0:1>, WSA<0:1>)이 구비된다. 그리고, 중재부(100) 좌우측에는 각각 중재부(100)로부터 트랜스퍼 게이트(TG)에 이르는 트랜스퍼 게이트 제어라인(TGC<0:3>)이 구비된다.

<72> 도 8은 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 컬럼 구성 단위인 세그먼트와 트랜스퍼 버스(TB)의 관계를 설명하기 위한 도면이다.

<73> 도 8을 참조하면, 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM은, 기존의 일반적인 DRAM과 같이 다수의 메모리 셀 어레이(200)와 비트라인 감지증폭기 어레이(210)를 구비한다. 하나의 메모리 셀 어레이(200)를 기준으로 보면, 한쌍의 트랜스퍼 버스(TB<0>, TBb<0>)는 메모리 셀 어레이(200) 상하부에 배치된 4개의 비트라인 감지증폭기(BLSA)와 연결된다(박스 A 참조). 이 4개의 비트라인 감지증폭기(BLSA)는 각각 다른 세그먼트 선택신호(SGS<0:3>) - 기존의 일반적인 DRAM의 컬럼선택신호(Yi)에 대응하는 신호임 - 에 제어 받는다. 따라서, 2k 컬럼

의 경우, 하나의 로우와 하나의 세그먼트가 선택되면 동시에 256개의 셀이 선택되어 그에 대응하는 256 비트의 트랜스퍼 버스(TB<0:255>)와 데이터 교환이 이루어지게 된다.

<74> 한편, 1사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)는 동일 컬럼축 상에 배치된 3사분면의 각 뱅크에 대응하는 트랜스퍼 버스(TB)와 트랜스퍼 게이트(TG)를 통해 연결될 수 있다 (512개의 TG가 1세트로 구성되며, 총 8세트임). 즉, 트랜스퍼 게이트(TG)는 동일 컬럼축 상에 배치된 두 뱅크(이를 어레이라 정의함)에 대응하는 트랜스퍼 버스(TB) 사이에 배치되어 두 트랜스퍼 버스(TB)를 선택적으로 연결한다. 트랜스퍼 게이트(TG)를 제어하기 위한 제어신호(TGC)는 중재부(100)에서 생성된다.

<75> 이하, 상기와 같이 구성된 본 발명을 적용하여 구현된 256M 멀티-포트 DRAM의 동작을 살펴본다.

<76> 도 9a는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 노말 리드 경로를 나타낸 도면이며, 도 9b는 노말 라이트 경로를 나타낸 도면이다.

<77> 우선, 포트 port0를 통해 뱅크 bank0에 있는 특정 세그먼트의 데이터(512 비트)를 리드하는 경우를 가정한다.

<78> 도 9a를 참조하면, 포트 port0을 통해 리드 동작과 관련된 커맨드, 어드레스 등이 패킷 형태로 인가되면, 중재부(100)는 먼저 뱅크 bank0에 대한 내부 활성화 커맨드 신호(ACT), 활성화 어레이 어드레스(AAA) 및 로우 어드레스(RA)를 생성하여 특정 로우(워드라인, WL)를 활성화시키고, 이어서 뱅크 bank0에 대한 내부 리드 커맨드 신호(RD), 리드 어레이 어드레스(RAA) 및 리드 세그먼트 어드레스(RSA)를 생성한다. 이에 따라, 비트라인 감지증폭기(BLSA)는 리드 세그먼트 어드레스(RSA)에 대응하는 세그먼트의 512 비트 데이터를 감지증폭하여 트랜스퍼 버스

(TB, TBb)로 구동한다. 한편, 뱅크 bank0의 버스 연결부(TL)는 뱅크 bank0의 트랜스퍼 버스 (TB, TBb)에 실린 리드 데이터를 감지하여 제1 글로벌 데이터 버스(GIO_UL)로 데이터를 구동한다. 이어서, 제1 글로벌 데이터 버스(GIO_UL)에 전달된 리드 데이터는 포트 port0에 대응하는 데이터 전달부(TR)의 수신기(Rx)를 거쳐 포트 port0 내의 리드 버퍼에 저장되고, 리드 버퍼에 저장된 데이터는 일정 단위의 패킷으로 변환되어 직렬 데이터 형태로 포트 port0와 연결된 타겟 디바이스에 전송된다. 이후, 중재부(100)는 내부 비활성화 커맨드 신호(PCG), 비활성화 어레이 어드레스(PAA)를 생성하여 해당 어레이의 로우를 비활성화시킨다. 이때, 해당 어레이의 트랜스퍼 버스 연결부(TG)는 스위치-오프 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb) 사이의 연결이 끊어지도록 한다. 미설명 도면 부호 'BL, BLb'는 비트라인 쌍, 'T'는 셀 트랜지스터, 'C'는 셀 캐패시터를 각각 나타낸 것이다.

<79> 다음으로, 포트 port0를 통해 뱅크 bank0에 있는 특정 세그먼트에 데이터(512 비트)를 라이트하는 경우를 가정한다.

<80> 도 9b를 참조하면, 포트 port0을 통해 라이트 동작과 관련된 커맨드, 어드레스, 데이터 등이 패킷 형태로 인가되면, 중재부(100)는 먼저 뱅크 bank0에 대한 내부 활성화 커맨드 신호 (ACT), 활성화 어레이 어드레스(AAA) 및 로우 어드레스(RA)를 생성하여 특정 로우(워드라인, WL)를 활성화시키고, 이어서 뱅크 bank0에 대한 내부 라이트 커맨드 신호(WT), 라이트 어레이 어드레스(WAA) 및 라이트 세그먼트 어드레스(WSA)를 생성한다. 이때, 중재부(100)의 스캐줄링에 의해 포트 port0의 라이트 버퍼에 저장된 512 비트 데이터가 라이트 세그먼트 어드레스 (WSA)에 대응하는 세그먼트(512 개의 메모리 셀)에 기록된다. 포트 port0에서 병렬 데이터로 변환된 데이터는 데이터 전달부(TR)의 송신기(Tx)를 거쳐 제1 글로벌 데이터 버스(GIO_UL)

에 로딩되고, 뱅크 bank0의 버스 연결부(TL)를 통해 다시 뱅크 bank0의 트랜스퍼 버스(TB, TBb)로 구동되며, 뱅크 bank0의 트랜스퍼 버스(TB, TBb)에 로딩된 데이터는 라이트 세그먼트 어드레스(WSA)에 대응하는 비트라인 감지증폭기(BLSA)를 통해 256개의 메모리 셀에 저장된다. 이후, 중재부(100)는 내부 비활성화 커맨드 신호(PCG), 비활성화 어레이 어드레스(PAA)를 생성하여 해당 어레이의 로우를 비활성화시킨다.

<81> 도 10a는 상기 도 8에 도시된 256M 멀티-포트 DRAM의 크로스 리드 경로를 나타낸 도면이며, 도 10b는 크로스 라이트 경로를 나타낸 도면이다.

<82> 우선, 포트 port1을 통해 뱅크 bank0에 있는 특정 세그먼트의 데이터(512 비트)를 리드하는 경우를 가정한다.

<83> 도 10a를 참조하면, 전반적인 동작은 전술한 노멀 리드시와 거의 유사하나, 해당 어레이의 트랜스퍼 버스 연결부(TG)가 스위치-온 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb)가 서로 연결되도록 하는 것이 다르다. 한편, 뱅크 bank1의 트랜스퍼 버스(TB, TBb)에 로딩된 데이터는 뱅크 bank1에 대응하는 버스 연결부(TL), 제3 글로벌 데이터 버스(GIO_DL), 포트 port1에 대응하는 데이터 전달부(TR), 포트 port1을 거쳐 타겟 디바이스로 전달된다.

<84> 다음으로, 포트 port1을 통해 뱅크 bank0에 있는 특정 세그먼트에 데이터(512 비트)를 라이트하는 경우를 가정한다.

<85> 도 10b를 참조하면, 전반적인 동작은 전술한 노멀 라이트시와 거의 유사하

나, 역시 해당 어레이의 트랜스퍼 버스 연결부(TG)가 스위치-온 상태가 되어 뱅크 bank0의 트랜스퍼 버스(TB, TBb)와 동일 어레이 내의 뱅크 bank1의 트랜스퍼 버스(TB, TBb)가 서로 연결되도록 하는 것이 다르다. 이 경우, 포트 port1에 인가된 데이터는 포트 port1에 대응하는 데이터 전달부(TR), 제3 글로벌 데이터 버스(GIO_DL), 뱅크 bank1에 대응하는 버스 연결부(TL)를 거쳐 뱅크 bank0의 트랜스퍼 버스(TB, TBb)로 로딩되며, 이후의 과정은 전술한 노멀 라이트시와 동일하다.

<86> 한편, 제1 글로벌 데이터 버스(GIO_UL)와 제2 글로벌 데이터 버스(GIO_UR) 사이에 데이터 교환이 필요한 경우에는 제1 글로벌 데이터 버스 연결부(PR_U)를 통해 두 글로벌 데이터 버스를 연결하고, 제3 글로벌 데이터 버스(GIO_DL)와 제4 글로벌 데이터 버스(GIO_DR) 사이에 데이터 교환이 필요한 경우에는 제2 글로벌 데이터 버스 연결부(PR_D)를 통해 두 글로벌 데이터 버스를 연결하면 된다.

<87> 따라서, 본 발명의 멀티-포트 DRAM은 모든 포트(port0~port7)에서 모든 세그먼트를 액세스할 수 있으며, 다수의 포트를 통해 독립적인 액세스가 가능하기 때문에 - 글로벌 데이터 버스가 중복 사용되지 않는 범위에서 - 동시에 멀티 액세스가 가능하다.

<88> 한편, 클럭 주파수 100MHz로 동작하는 기존의 SDRAM의 경우, X32 밴드폭 옵션을 가정한다고 하더라도 밴드폭은 $32 \times 100\text{MHz} = 3.2\text{Gb/s}$ (400MB/s)이다. 참고적으로, 현재의 DRAM 데이터 입/출력 아키텍쳐를 사용하면서 밴드폭을 증대시키기 위하여 64bit 이상의 데이터 버스를 가지는 메모리 디바이스를 설계하는 경우, 데이터 버스에서 각 데이터 선로간 스퀴(eskew)가 크게 증가하고, 다수의 입/출력 데이터의 전송으로 인한 소비 전류의 증가를 유발한다. 뿐만 아니라, 다수의 입/출력 패드를 배치해야 하는데 따르는 레이아웃 면적의 증가 및 패키징의 어려움이

유발되어 64bit 이상의 데이터 버스를 가지는 메모리 디바이스를 구현하는 것이 거의 불가능하다(구현을 하더라도 밴드폭 증가에 의한 이득 보다 다른 부분에서의 손실이 많다).

<89> 반면, 전술한 본 발명을 적용하여 구현된 멀티-포트 DRAM의 경우, 새로운 아키텍쳐의 적용을 통해 코어 영역의 각 사분면에서 512 비트의 데이터를 병렬로 처리할 수 있으며, 포트에서는 직렬로 데이터를 입/출력할 수 있다. 따라서, 레이아웃 면적 증가를 최소화하고, 패키징이 용이하며, 데이터 버스에서의 데이터 선로간 스큐 문제를 유발하지 않으면서 밴드폭을 크게 증가시킬 수 있다.

<90> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

<91> 예컨대, 전술한 실시예에서는 DRAM 셀을 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 SRAM을 비롯한 다른 RAM 셀을 사용하는 경우에도 적용된다.

<92> 또한, 전술한 실시예에서는 512 비트의 단위 세그먼트를 사용하는 경우를 일례로 들어 설명하였으나, 본 발명은 단위 세그먼트의 비트수를 변경하는 경우에도 적용된다.

<93> 또한, 전술한 실시예에서 사용된 포트의 수, 뱅크의 수 등도 메모리 소자의 용량에 따라 변경될 수 있다.

【발명의 효과】

<94> 전술한 본 발명은 독립적인 데이터 교환이 가능한 다수의 포트를 구비하는 새로운 메모리 소자를 제공하며, 멀티-포트 메모리 소자의 레이아웃 효율성, 패키징 용이성, 확장성을 확보함은 물론 글로벌 데이터 버스의 라인 로딩을 줄일 수 있다. 또한, 본 발명의 메모리 소자는 넓은 밴드폭, 직렬 입/출력 인터페이스, 멀티-포트 액세스 등의 시대적 요구를 수용하여 메모리 기술의 새로운 지평을 마련할 것으로 기대된다.

【특허청구범위】**【청구항 1】**

코어 영역의 상부 및 하부에 각각 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크;

상기 코어 영역의 상부 및 하부 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트;

상기 코어 영역의 상부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 글로벌 데이터 버스;

상기 코어 영역의 하부에 배치된 포트와 뱅크 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제2 글로벌 데이터 버스;

각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 및

컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 상기 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단을 구비하는 멀티-포트 메모리 소자.

【청구항 2】

제1항에 있어서,

상기 코어 영역의 일 측면 가장자리에 배치된 컨트롤 블럭을 더 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 3】

각각 다수의 메모리 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크;

각 사분면의 가장자리에 배치되어, 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트;

각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스;

로우 방향으로 인접한 두 글로벌 데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결수단;

각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스; 및

컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 상기 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단
을 구비하는 멀티-포트 메모리 소자.

【청구항 4】

제3항에 있어서,

1, 3사분면과 2, 4사분면 사이에 코어 영역을 양분하도록 배치된 컨트롤 블럭을 더 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 5】

각각 다수의 메모리 셀과 로우 디코더를 포함하며, 코어 영역을 4분할하고 있는 각 사분면에 일정 갯수만큼 로우 방향으로 배치된 다수의 뱅크;

1, 3 사분면과 2, 4사분면 사이에 코어 영역을 양분하도록 배치되어 인가된 커맨드, 어드레스 등을 이용하여 내부 커맨드 신호, 내부 어드레스 신호, 제어신호를 생성하여 메모리 소자를 이루는 각 구성 요소들의 동작을 중재하기 위한 중재수단;

각 사분면의 가장자리에 배치되어 각각 다른 타겟 디바이스와 독립적인 통신을 수행하기 위한 다수의 포트;

각 사분면에 대응하는 뱅크와 포트 사이에 로우 방향으로 배치되어 병렬 데이터 전송을 수행하기 위한 제1 내지 제4 글로벌 데이터 버스;

로우 방향으로 인접한 두 글로벌 데이터 버스 사이에 배치되어 두 글로벌 데이터 버스를 선택적으로 연결하기 위한 제1 및 제2 글로벌 데이터 버스 연결수단;

각 뱅크의 컬럼 방향으로 배치되어 뱅크 내부의 데이터 전송을 수행하기 위한 다수의 로컬 데이터 버스;

컬럼 방향으로 인접한 두 뱅크 사이에 배치되어 두 뱅크 각각의 로컬 데이터 버스를 선택적으로 연결하기 위한 다수의 로컬 데이터 버스 연결수단;

각 뱅크와 해당 뱅크가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 각 로컬 데이터 버스와 해당 글로벌 데이터 버스 사이의 데이터 교환을 수행하기 위한 다수의 버스 연결수단; 및

각 포트와 그 포트가 속한 사분면의 글로벌 데이터 버스 사이에 배치되어 해당 포트와 글로벌 데이터 버스 사이의 데이터 송수신을 수행하기 위한 다수의 데이터 전달수단을 구비하는 멀티-포트 메모리 소자.

【청구항 6】

제5항에 있어서,
상기 다수의 뱅크 각각은,
다수의 메모리 셀 어레이, 다수의 비트라인 감지증폭기 어레이, 로우 디코더를 구비하며
, 가 메모리 셀 어레이의 단위 페이지는 4개의 세그먼트로 구분된 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 7】

제5항에 있어서,
상기 다수의 포트는 각각,
데이터, 어드레스, 커맨드 등에 대응하는 다수의 패드;
상기 패드에 전달된 송/수신 신호를 버퍼링하기 위한 패드 버퍼;
수신된 데이터를 디코딩하기 위한 디코더;
송신할 데이터를 인코딩하기 위한 인코더; 및

수신된 직렬 데이터를 병렬 데이터로 변환하고 송신할 병렬 데이터를 직렬 데이터로 변환하기 위한 데이터 변환기를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 8】

제5항에 있어서,

상기 제1 및 제2 글로벌 데이터 버스 연결부는 상기 제1 내지 제4 글로벌 데이터 버스 각각의 라인수에 대응하는 양방향 파이프 레지스터를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 9】

제6항에 있어서,

상기 다수의 로컬 데이터 버스는 각각 해당 뱅크의 비트라인 감지증폭기와 해당 뱅크에 대응하는 상기 버스 연결수단을 연결하며, 단위 세그먼트에 속한 셀의 수에 대응하는 차동 버스 라인을 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 10】

제9항에 있어서,

상기 다수의 로컬 데이터 버스 연결수단은 각각 상기 로컬 데이터 버스의 라인수 만큼의 모스 트랜지스터를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 11】

제9항에 있어서,

상기 다수의 버스 연결수단은 각각 상기 단위 세그먼트에 속한 셀의 수에 대응하는 트랜스퍼 래치를 구비하며, 각 트랜스퍼 래치는 상기 로컬 데이터 버스에 실린 리드 데이터를 감지하여 래치하기 위한 리드 감지증폭기와, 래치된 데이터를 해당 뱅크가 속한 사분면의 글로벌 데이터 버스로 드라이빙하기 위한 리드 드라이버와, 해당 뱅크가 속한 사분면의 글로벌 데이터 버스에 실린 라이트 데이터를 감지하여 래치하기 위한 라이트 래치와, 해당 뱅크의 상기 로컬 데이터 버스로 라이트 데이터를 드라이빙하기 위한 라이트 드라이버를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 12】

제7항에 있어서,

상기 다수의 데이터 전달수단은 각각,

그와 연결된 포트에 인가된 라이트 데이터를 그와 연결된 글로벌 데이터 버스로 전달하기 위한 송신기와,

그와 연결된 글로벌 데이터 버스로부터 인가된 리드 데이터를 수신하여 그와 연결된 포트로 전달하기 위한 수신기를 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【청구항 13】

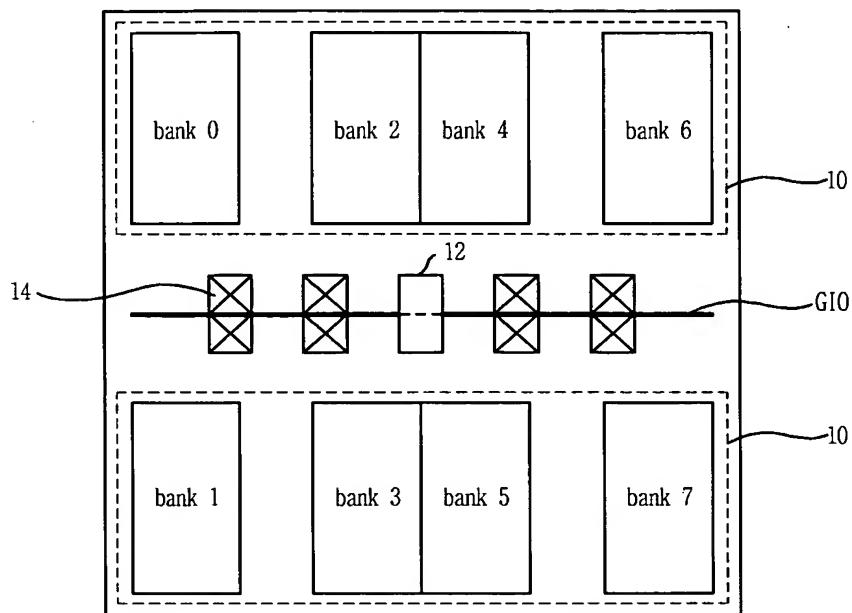
제5항에 있어서,

외부 전압을 인가 받아 내부 전압을 생성하기 위한 전압 생성기와,

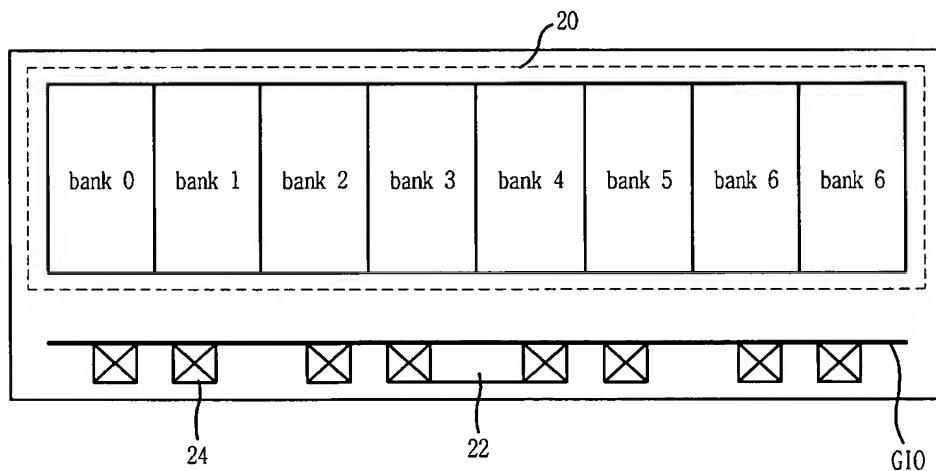
1사분면 및 2사분면에 대응하는 포트 사이 그리고 3사분면 및 4사분면에 대응하는 포트 사이에 배치된 테스트 로직을 더 구비하는 것을 특징으로 하는 멀티-포트 메모리 소자.

【도면】

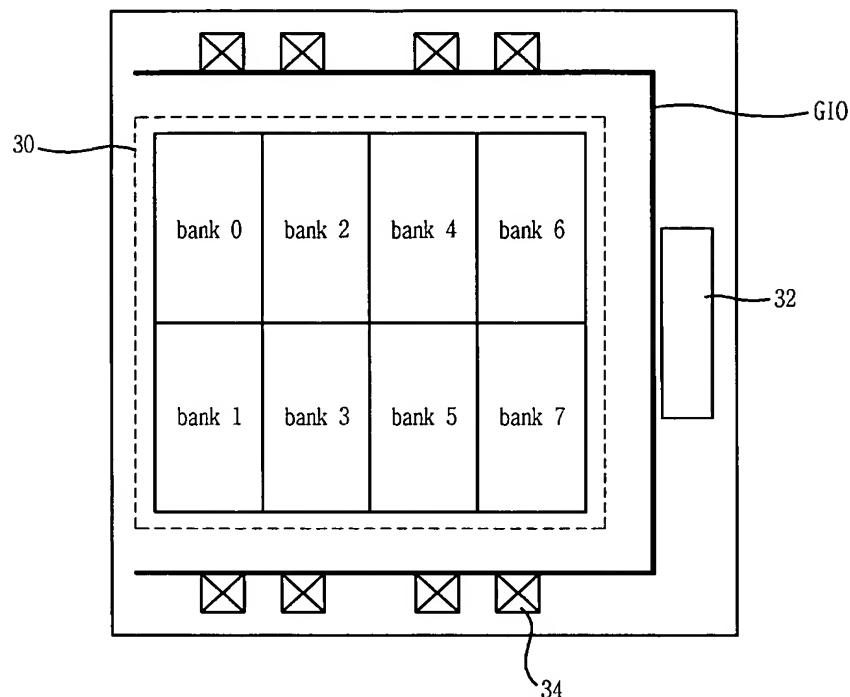
【도 1】



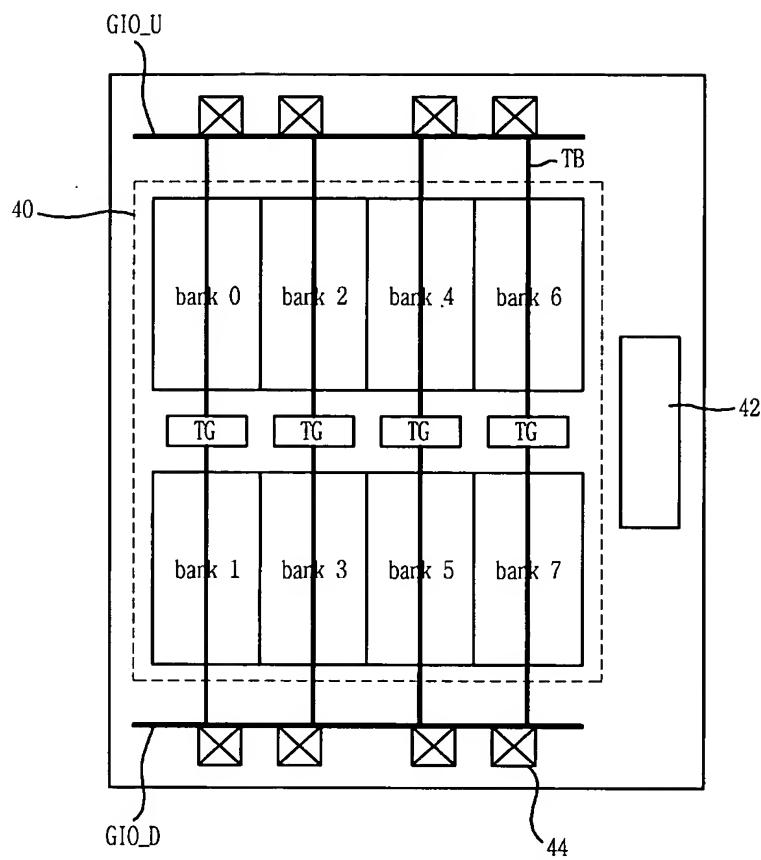
【도 2】



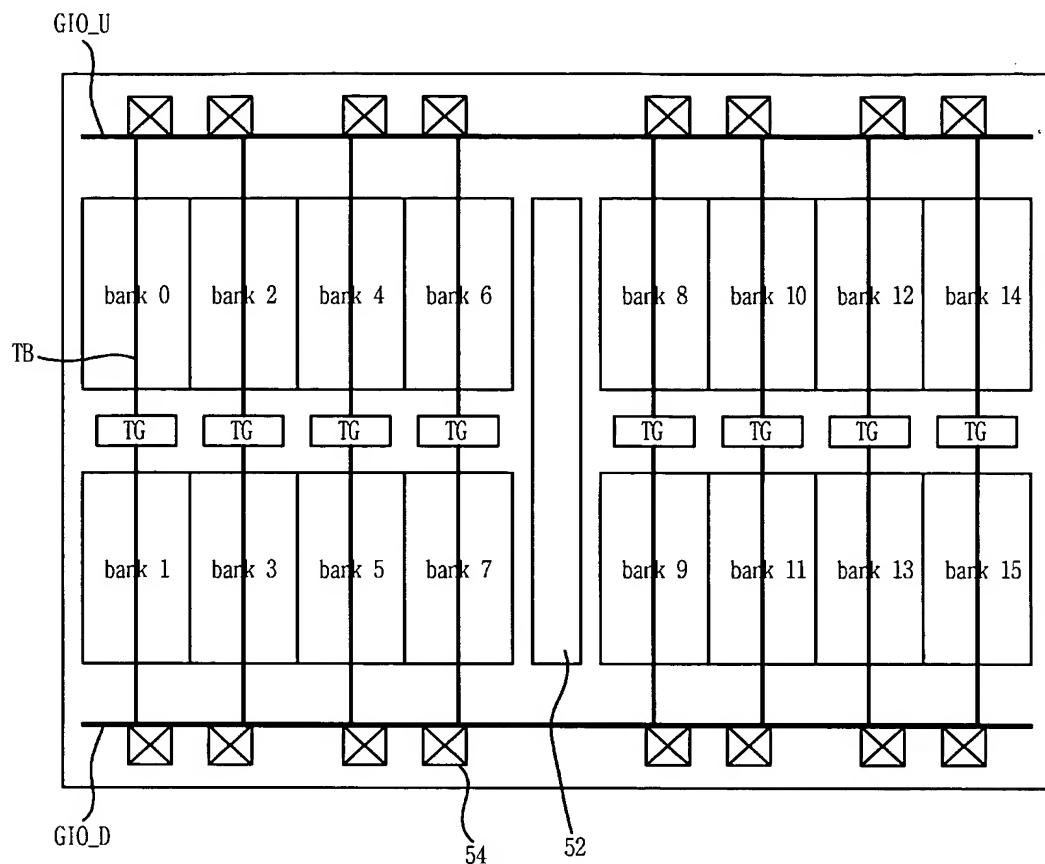
【도 3】



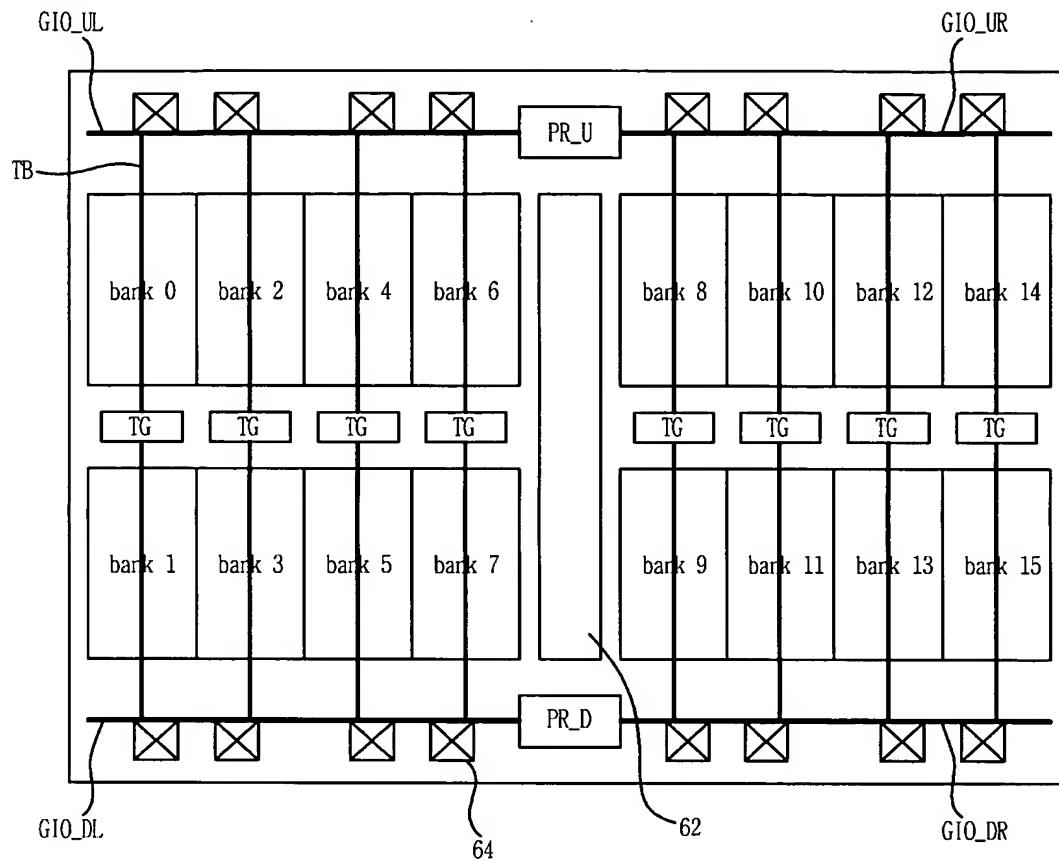
【도 4】

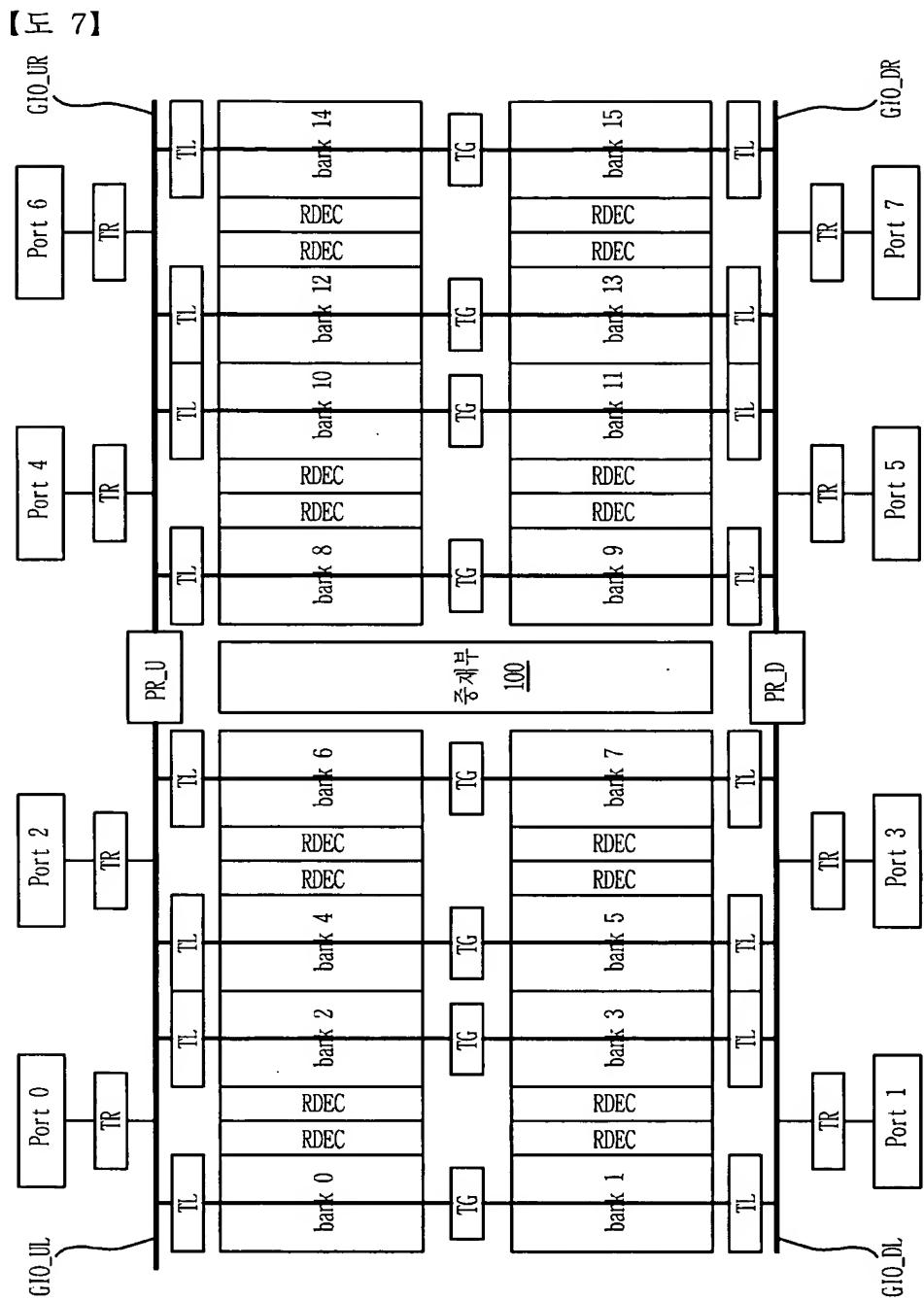


【도 5】

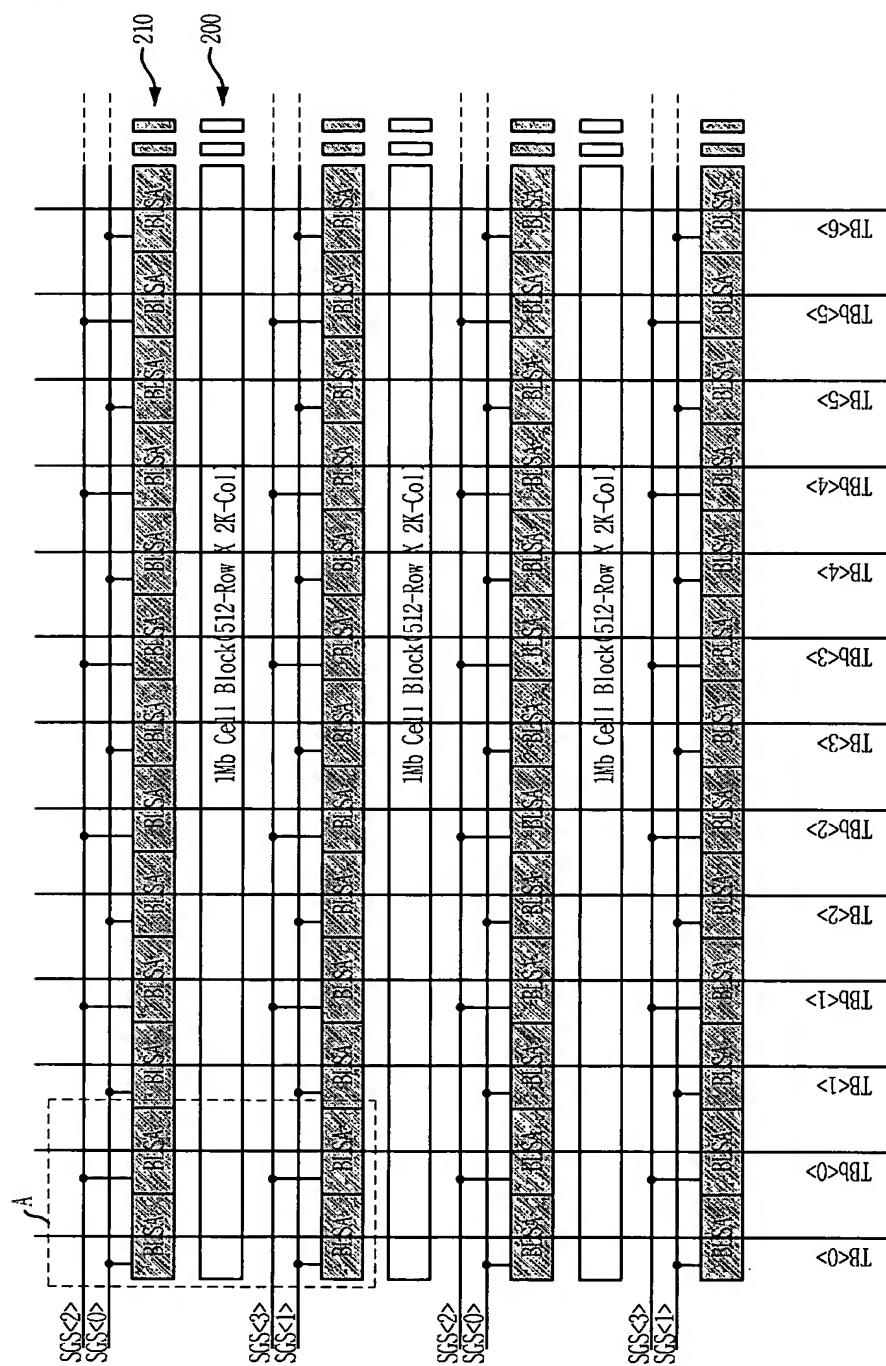


【도 6】

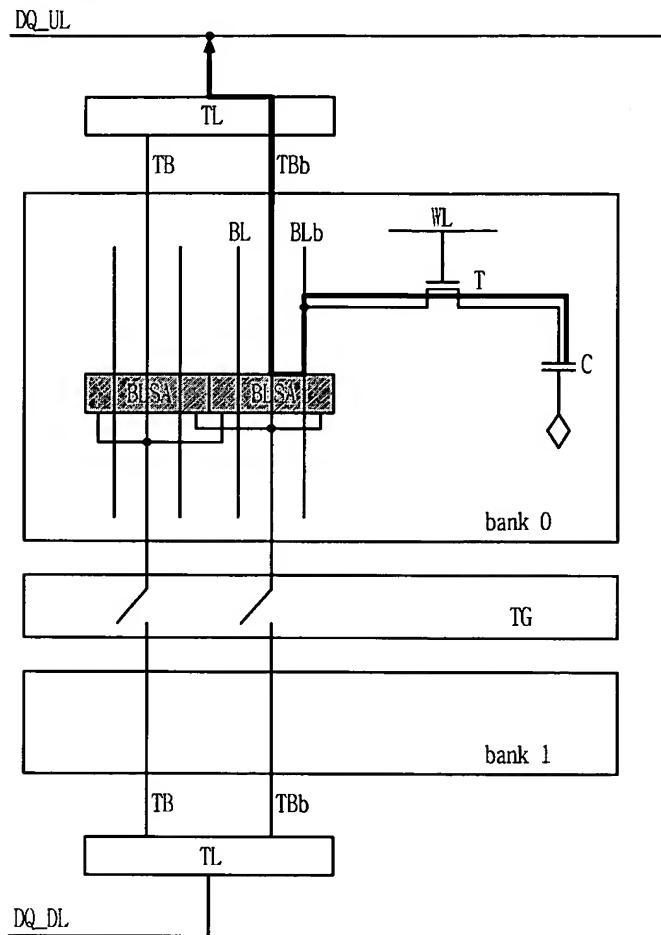




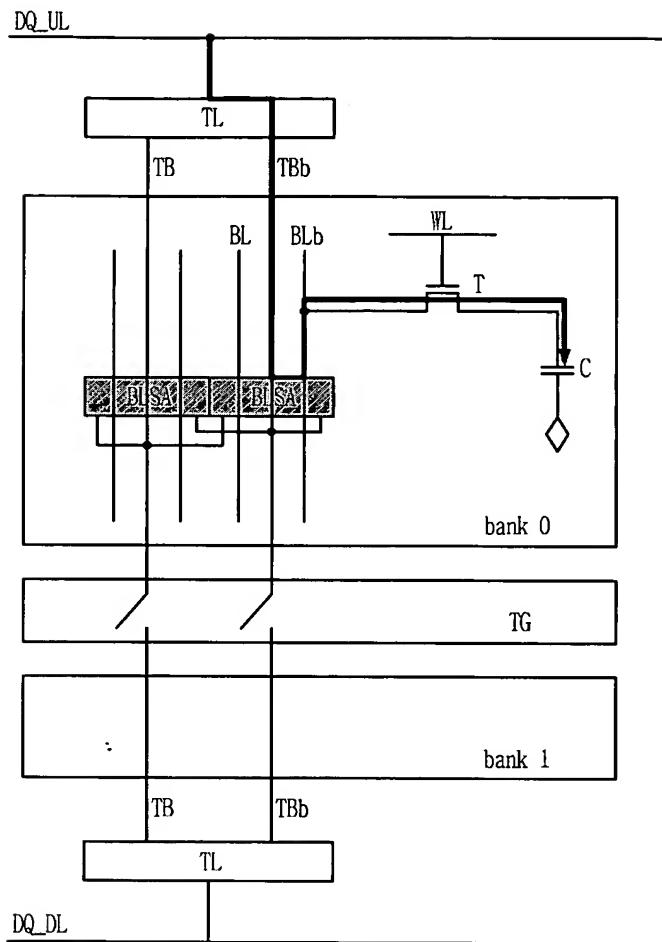
【도 8】



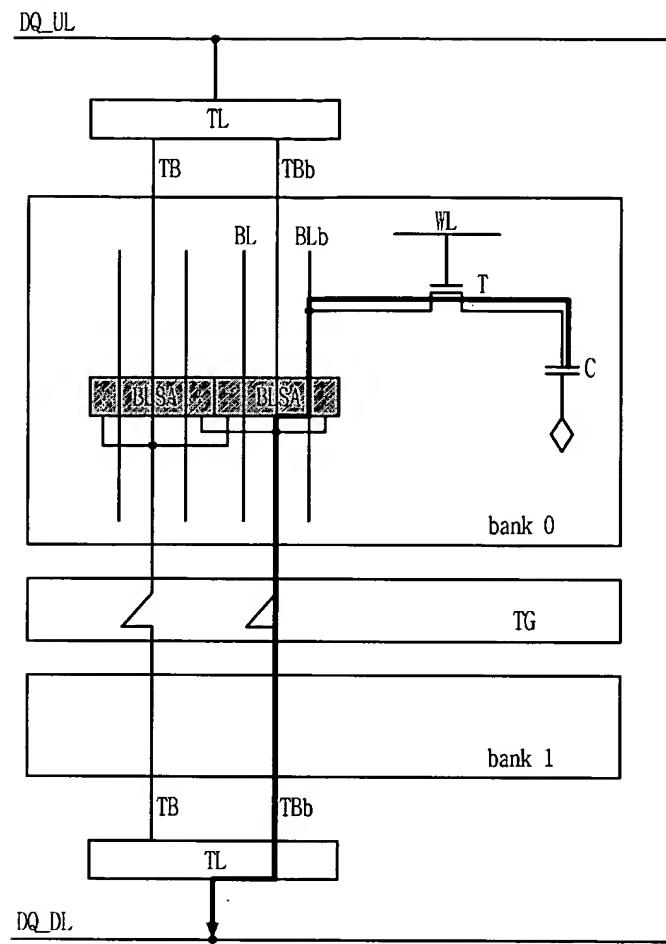
【도 9a】



【도 9b】



【도 10a】



【도 10b】

